

PCT/JP 00/02867

28.04.00

3800/2867  
日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

REC'D 03 JUL 2000

WIPO

PCT

EU  
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1999年 5月14日

出願番号  
Application Number:

平成11年特許願第134477号

出願人  
Applicant(s):

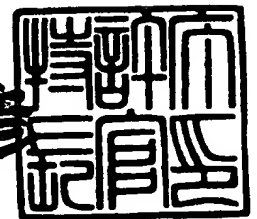
ローム株式会社

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 6月16日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



出証番号 出証特2000-3045062

【書類名】 特許願

【整理番号】 PR9-00240

【提出日】 平成11年 5月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/70

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 坂本 和久

【特許出願人】

【識別番号】 000116024

【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地

【氏名又は名称】 ローム株式会社

【代理人】

【識別番号】 100087701

【弁理士】

【氏名又は名称】 稲岡 耕作

【選任した代理人】

【識別番号】 100075155

【弁理士】

【氏名又は名称】 亀井 弘勝

【選任した代理人】

【識別番号】 100101328

【弁理士】

【氏名又は名称】 川崎 実夫

【手数料の表示】

【予納台帳番号】 011028

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9401527

【プルーフの要否】 要

【書類名】 明細書  
【発明の名称】 半導体装置  
【特許請求の範囲】

【請求項 1】

コレクタ領域と、このコレクタ領域に接合して形成されたベース領域と、このベース領域に埋設された状態で設けられ、所定方向に沿って直線状に引き延ばされたリング形状のエミッタ領域とを含むトランジスタを備えた半導体装置。

【請求項 2】

上記ベース領域にユニバーサル接合構造が内蔵されていることを特徴とする請求項 1 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、バイポーラトランジスタを有する半導体装置に関する。

【0002】

【従来の技術】

従来から用いられているバイポーラトランジスタの原理的な構成は、図 9 に示されている。すなわち、N 型半導体基板 1 の表層部に、P 型のベース領域 12 が形成され、この P 型のベース領域 12 内に N 型のエミッタ領域 13 が形成されている。ベース領域 12 およびエミッタ領域 13 には、それぞれベース電極 15 およびエミッタ電極 16 が接合されている。コレクタ電極 19 は、N 型半導体基板 1 の裏面側において、N<sup>+</sup> 型領域 14 を介してとられるようになっている。17 は絶縁膜である。

【0003】

電流増幅率を上げるためには、ベース領域 12 の不純物濃度を薄くする必要がある。しかし、この不純物濃度を過度に薄くすると、ベース領域 12 とベース電極 15 との接合部がショットキ接合となり、トランジスタ特性が得られない。そこで、ベース領域 12 においてベース電極 15 の接合位置には、オーミック接合を形成するための P<sup>+</sup> 型領域 18 が形成されている。

## 【0004】

図10、図11および図12は、エミッタ領域13の形成パターン例をそれぞれ示す図である。

## 【0005】

図10は、メッシュ型エミッタ構造のバイポーラトランジスタの構造を示している。このトランジスタでは、半導体基板15の表層部に形成されたベース領域12に、島状のエミッタ領域13が格子状に配列されて埋設されている。そして、島状のエミッタ領域13にエミッタ電極（図示せず）が共通接続される。

## 【0006】

図11は、リングエミッタ（メッシュ型ベース）構造を示している。この構造では、半導体基板1の表層部に形成されたベース領域12に、エミッタ領域13が広く形成されている。そして、この大面積のエミッタ領域13内において、ベース領域12が格子状配列パターンに従う位置で島状に露出するようになっている。そして、この露出部において、ベース電極（図示せず）とベース領域12とを接続するためのコンタクトがとられるようになっている。

## 【0007】

図12は、ストライプエミッタ構造を示す。この構造では、半導体基板1の表層部に形成されたベース領域12に、線状の複数のエミッタ領域13が、ほぼ平行に埋設されている。

## 【0008】

## 【発明が解決しようとする課題】

図10のメッシュ型エミッタ構造および図11のリングエミッタ構造のトランジスタでは、いずれも、安全動作領域が比較的狭く、破壊耐量が必ずしも十分ではない。そのため、負荷に十分な電流を流すことができない場合がある。また、スイッチング時間（とくにオフ時間）が長く、高速なスイッチングができないという問題もある。

## 【0009】

図12のストライプエミッタ構造を採用すれば、破壊耐量が向上されるのであるが、それでもなお、負荷駆動性能が十分ではない場合がある。また、ストライ

プエミッタ構造のトランジスタのスイッチング時間は、メッシュ型エミッタ構造やリングエミッタ構造のものに比較すると良好であるが、さらに高速なスイッチングが求められる場合もある。

#### 【0010】

バイポーラトランジスタのスイッチングが低速なのは、小数キャリアである電子がベース領域12と $P^+$ 型領域18（図9参照）との間の $P/P^+$ 接合によってせき止められることに主因がある。すなわち、スイッチング動作時に、ベース領域12において電子の蓄積が起こる。これにより、スイッチング損失が大きくなり、高速なスイッチングが妨げられるうえ、消費電力の増大を招くという問題がある。

#### 【0011】

バイポーラトランジスタの高速スイッチングを可能にするために、本願の発明者は、先に提出した特願平11-124515号（平成11年4月30日提出）において、ベース部にユニバーサル接合構造を内蔵したユニバーサルベース構造のバイポーラトランジスタを提案している。この構造により、ベース領域に蓄積された少数キャリアは、ユニバーサル接合構造によってベース電極へと速やかに引き込まれる。これにより、高速なスイッチングが可能になる。

#### 【0012】

本願発明者のその後の研究により、上記提案に係る新たな構造のバイポーラトランジスタでは、ユニバーサル接合構造の採用により、安全動作領域がストライプエミッタ構造と同程度に改善されることが確認された。

#### 【0013】

一方、トランジスタの消費電力は、オン時のコレクターエミッタ間電圧にも大きく依存するのであるが、これについては、メッシュ型エミッタ構造およびリングエミッタ構造の方が、ストライプエミッタ構造やユニバーサルベース構造よりも優れていることが確認された。

#### 【0014】

この発明の第1の目的は、安全動作領域を広くすることができるトランジスタを有する半導体装置を提供することである。

【0015】

また、この発明の第2の目的は、オン時の電圧を低くすることができるトランジスタを有する半導体装置を提供することである。

【0016】

さらに、この発明の第3の目的は、高速スイッチング可能で、かつ十分な安全動作領域を有するトランジスタを備えた半導体装置を提供することである。

【0017】

【課題を解決するための手段および発明の効果】

上記の目的を達成するための請求項1記載の発明は、コレクタ領域と、このコレクタ領域に接合して形成されたベース領域と、このベース領域に埋設された状態で設けられ、所定方向に沿って直線状に引き延ばされたリング形状のエミッタ領域とを含むトランジスタを備えた半導体装置半導体装置である。

【0018】

より具体的には、上記トランジスタは、半導体基板に形成された第1の導電型のベース領域と、このベース領域に埋設された第2の導電型（第1の導電型とは異なる導電型）のエミッタ領域と、ベース領域に接触して形成された第2の導電型のコレクタ領域とを有している。

【0019】

この発明の構成によれば、エミッタ領域は、線状に形成されていて、しかも、リング状に形成されているので、ストライプエミッタ構造における安全動作領域拡大の効果を増大させることができ、十分な安全動作領域を確保することができる。すなわち、リング状のエミッタの内方および外方においてエミッターベース接合が形成されることになり、エミッターベース接合界面の面積が、単なる線状のエミッタ領域の場合と比較すると、約2倍になる。これにより、エミッターベース間に十分な電流を流すことができるので、破壊耐量が向上され、安全動作領域が大幅に拡大できる。

【0020】

より詳しく説明すると、トランジスタの破壊は、エミッターベース接合部における温度上昇（約150℃を超える高温）に起因している。この温度上昇は、エ

ミッターベース接合界面における電流密度に依存する。よって、エミッターベース接合界面の面積を大きくすることができるリング形状のエミッタを採用することにより、エミッターベース接合界面での温度上昇を抑制することができ、その結果、安全動作領域を拡大することができる。

【0021】

また、エミッターベース接合界面の面積が大きくなることによって、トランジスタのオン時の抵抗が少なくなるので、これにより、オン時のコレクターエミッタ間電圧を低くすることができる。したがって、消費電力の低減にも寄与することができる。

【0022】

なお、複数本の上記リング形状エミッタ領域が、ベース領域内にストライプ状（すなわち、実質的に互いに平行な位置関係のパターン）に形成されていてもよい。

【0023】

さらに、エミッタ領域は、半導体表面に露出するようにベース領域に埋設されていて、リング形状の露出面パターンを有し、このリング形状の露出面パターンに、リング形状のコンタクト部が設定され、このコンタクト部にエミッタ電極が接合されるようになっていることが好ましい。

【0024】

請求項2記載の発明は、上記ベース領域にユニバーサル接合構造が内蔵されていることを特徴とする請求項1記載の半導体装置である。

【0025】

より具体的には、ベース領域においてベース電極が接続される部位にユニバーサル接合構造が形成されることが好ましい。

【0026】

ユニバーサル接合構造は、ベース部の小数キャリアに対して障壁をなす第1領域と、上記小数キャリアを引き込む第2領域とを電荷の移動方向と交差する方向に沿って交互に配置した構造である。この第1および第2領域に接触するようにベース電極が設けられるのが好ましい。たとえば、ベース領域がP型領域である



場合に、 $P^+$  型領域と $N^+$  型領域とを電荷の移動方向と交差する方向に交互に配置したり、 $P^+$  型領域とP型領域とを電荷の移動方向と交差する方向に交互に配置したりすることによってユニバーサル電極構造を形成することができる。

#### 【0027】

この発明の構成によれば、ベース部にユニバーサル接合構造を内蔵しているため、ベース部における少数キャリアの蓄積を抑制できる。これにより、スイッチング動作を高速にすることができ、かつ、スイッチング損失を低減できるので、消費電力を低減できる。

#### 【0028】

したがって、高速なスイッチングが可能で、かつ十分な安全動作領域を有することができ、しかも、オン時のコレクターエミッタ間電圧の低い低消費電力型のトランジスタを有する半導体装置を実現することができる。そして、安全動作領域については、直線リング形状エミッタ領域の採用とユニバーサルベース構造の採用との両面から著しく改善される。

#### 【0029】

##### 【発明の実施の形態】

以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。

#### 【0030】

図1は、この発明の一実施形態に係るトランジスタの一部の構造を断面構造とともに示す拡大斜視図である。N型半導体基板21の表面には、P型のベース領域22が形成されており、このP型のベース領域22内に、N型のエミッタ領域23が埋設されて形成されている。これにより、NPN構造が形成されていて、N型半導体基板21がコレクタ領域を形成している。

#### 【0031】

図2の平面図に示すように、エミッタ領域23は、一方向に直線的に延びた閉リング形状に形成されている。このリング形状のエミッタ領域23は、半導体基板21の表面において、ストライプパターンを成して露出するように複数個形成されている。そして、各直線状リング形状のエミッタ領域23を一定の間隔を開けて包囲するように、直線状リング形状のベース電極接続部25が設けられてい

る。

#### 【0032】

図3に拡大して示すように、個々のエミッタ領域23は、ベース領域22のほぼ全幅に渡って互いに平行に形成された一对の直線部23A、23Bと、これらの両端をそれぞれ結合する半円弧形状の結合部23Cとを有し、内部にベース領域23が入り込む開口23Dを規定している。

#### 【0033】

図1に示されているように、ベース電極接続部25には、ベース電極26が接合されている。また、リング形状のエミッタ領域23の表面には、エミッタ領域23よりも幅狭のリング状のコンタクト領域35が設定されており、このコンタクト領域35において、エミッタ電極27がエミッタ領域23に接合されている。コレクタ電極30は、半導体基板21の裏面側に形成された $N^+$ 型領域28から取られている。29は、絶縁膜である。

#### 【0034】

ベース電極接続部25は、微小幅の $P^+$ 型領域251と、同じく微小幅の $N^+$ 型領域252とを、ベース電極26に接触するように交互に配置して構成したユニバーサル接合構造を有している。すなわち、P型領域251とN型領域252とは、ベース領域22とベース電極26との間の電荷の移動方向と交差する方向に沿って交互に配列されている。平面視においては、 $P^+$ 型領域251および $N^+$ 型領域252は、図3に拡大して示すように、リング帯状のベース電極接続部25の長さ方向に沿った帯状パターンをなしている。

#### 【0035】

この構成により、ベース領域22における多数キャリアであるホールは、 $P^+$ 型領域251を通して移動することができ、小数キャリアである電子は、 $N^+$ 型領域252に落ち込むことができる。したがって、ベース領域22における電子の蓄積が抑制され、高速でかつ損失の少ないスイッチングが可能になる。

#### 【0036】

エミッタ領域23およびベース電極接続部25を覆うように形成された絶縁膜(図示せず)には、リング状のコンタクト領域35をそれぞれ露出させる複数の

コンタクト孔 4 1 およびベース電極接続部 2 5 をそれぞれ露出させる複数のコンタクト孔 4 2 が形成されている。そして、図 4 に示すように、エミッタ電極 2 7 は、複数のエミッタ領域 2 3 の各コンタクト孔 4 1 に共通に接続されるように形成されており、複数のベース電極接続部 2 5 を露出させる各コンタクト孔 4 2 に共通接続するようにベース電極 2 6 が形成されている。ベース電極 2 6 およびエミッタ電極 2 7 は、図 4 に示すように互いに噛み合う櫛形電極で形成されているもよい。

## 【0037】

図 5 は、バイポーラトランジスタ  $T_r$  を用いた抵抗型負荷  $R$  のためのスイッチング回路の構成例を示す電気回路図であり、図 6 は、バイポーラトランジスタ  $T_r$  のスイッチング特性を示す図である。図 6 (a) はベース電流  $I_B$  を示し、図 6 (b) はコレクタ電流  $I_C$  を示し、図 6 (c) はコレクターエミッタ間電圧  $V_{CE}$  を示す。そして、図 6 (b) および図 6 (c) において、この実施形態のバイポーラトランジスタをトランジスタ  $T_r$  に適用したときの特性は実線で示されており、図 9 の従来のバイポーラトランジスタをトランジスタ  $T_r$  に適用したときの特性は二点鎖線で示されている。

## 【0038】

図 6 から明らかなように、トランジスタ  $T_r$  が遮断されるときにの蓄積時間 ( $T_{stg}$ ) および降下時間 ( $T_f$ ) の和であるターンオフ時間  $T_{off}$  ( $= T_{stg} + T_f$ ) が、ベース電極接続部 2 5 をユニバーサル接合構造としたこの実施形態のバイポーラトランジスタを用いた場合に、著しく改善されることが理解される。

## 【0039】

また、トランジスタオン時のコレクターエミッタ間電圧  $V_{CE(sat)}$  が、この実施形態の構造を採用することによって、従来の構造よりも低くできることが理解される。

## 【0040】

ベース領域 2 2 に蓄積されたキャリアを零にするのに要する時間  $T_{off}$  は、本実施形態の構成を採用することにより、従来の構成の場合の約 30% にすることができる。トランジスタ  $T_r$  のオフ時の電力ロス、図 6 (c) における領域  $S_I$

(本実施形態の構成の場合)，SP (従来の構成の場合) の面積により表すことができ、より具体的には、下記第(1) 式により表すことができる。

【0041】

【数1】

$$\frac{1}{2} I_C \cdot V_{CE(sat)} \cdot (T_{stg}/T) + \frac{1}{6} I_C \cdot V_{CC} \cdot T_f \quad (1)$$

ただし、Tは、繰り返し周期

【0042】

したがって、時間T<sub>off</sub> を格段に短縮することができる本実施形態のバイポーラトランジスタを用いることにより、消費電力を格段に低減することができる。しかも、直線リング形状のエミッタ領域23を採用した本実施形態の構造では、オン時のコレクターエミッタ間電圧V<sub>CE</sub>(sat) を、従来の構成の50%に低減することができるので、これによっても、電力ロスを低減できる。

【0043】

さらに、この実施形態の構成では、ストライプ状に配置されたエミッタ領域は、線状のリング形状に形成されている。そのため、図1と図9との比較から明らかのように、エミッターベース接合界面の面積が従来の構造の約2倍となっている。すなわち、いわゆる表皮効果のために電流が集中しやすい半導体基板の表面付近において、エミッタ領域23は、従来構造の約2倍の周囲長を有することができる。これにより、一定の電流を流したときのベースーエミッタ接合界面での電流密度を低くすることができ、この接合界面の温度上昇を抑制できる。これにより、大電流を通電することが可能となるから、良好な破壊耐量を実現でき、安全動作領域を広くとることができる。

【0044】

しかも、前述のとおり、ユニバーサルベース構造の採用によっても破壊耐量の向上が図られるから、このユニバーサルベース構造と直線リング形状エミッタ領域23とを組み合わせた本実施形態の構造のトランジスタは、実用十分な破壊耐

量を有することができ、従来構造に比較して安全動作領域を格段に広くできる。具体的には、抵抗型負荷および誘導性負荷のいずれの場合でも、従来の構造に比較して、約2倍の破壊耐量を実現できることが確認されている。

## 【0045】

図7は、この発明の他の実施形態に係るバイポーラトランジスタのベース電極接続部に採用可能なユニバーサル接合構造の構成を拡大して示す断面図である。この図7において、上述の図1の各部に対応する部分には、図1の場合と同じ符号を付して示す。この実施形態では、P型のベース領域22に内蔵して形成されたユニバーサル接合構造部50（ベース電極接続部）は、電荷の移動方向と交差する方向に沿って複数の $P^+$ 型領域51を互いに離間して配列して形成されている。そして、隣接する $P^+$ 型領域51の間においては、ベース電極26とP型のベース領域22との間でショットキ接合が形成されており、全体として、ショットキユニバーサル電極構造が形成されている。

## 【0046】

この構成では、ベース領域22に蓄積された小数キャリアをショットキ接合部を介して速やかに放出することができる。これにより、上述の第1の実施形態の場合と同様に、ベース領域22における小数キャリアの蓄積を抑制でき、高速なスイッチング動作を実現できるととも、低消費電力駆動が可能になる。

## 【0047】

この発明の2つの実施形態について説明したが、この発明は、他の形態で実施することも可能である。たとえば、上述の実施形態では、NPNトランジスタを例にとったが、この発明は、PNPトランジスタにも適用することができる。この場合には、N型のベース領域に、 $N^+$ 領域と $P^+$ 領域とを交互に配列したユニバーサル接合構造、または複数の $N^+$ 領域を離間して配列したショットキユニバーサル接合構造をベース電極接続部に設ければよい。さらに、ショットキ部を、アルミニウム（Al）以外のチタン（Ti）などの電極材に変えることにより形成してもよい。

## 【0048】

また、半導体基板21として、不純物（たとえば、N型の場合はヒ素、P型の

場合はホウ素)を添加して比抵抗 $7\Omega\text{cm}$ 程度まで(対応する不純物濃度は、 $\sim 1 \times 10^{21}$ 程度)とした低抵抗の基板を使用して、オン時のコレクター-エミッタ間電圧 $V_{CE}$ のさらなる低減を図ってもよい。

#### 【0049】

さらに、上述の実施形態では、直線リング状エミッタ領域とユニバーサル接合構造を有するベースとを組み合わせ例について説明したが、オン時のコレクター-エミッタ間電圧 $V_{CE}$ の低減および破壊耐量の改善のみが重要課題であって、スイッチング時間の向上がさほど重要でない場合には、ユニバーサル接合構造を省いてもよい。

#### 【0050】

また、上述の実施形態においては、直線状エミッタ領域23は、1つの開口23Dを有する単純リング構造を有しているが、図8に示すように、直線部23A、23Bを橋渡しする架橋部23Eを設けて、開口23Dを複数個に分割した構造の直線状リング構造を採用してもよい。

#### 【0051】

さらに、上述の実施形態では、1個のバイポーラトランジスタを有する半導体装置を例にとったが、この発明は、複数個のバイポーラトランジスタを有する半導体装置やバイポーラトランジスタ以外の機能素子を同一半導体基板上に有する半導体装置などにも適用することができる。

#### 【0052】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

#### 【図面の簡単な説明】

##### 【図1】

この発明の一実施形態に係るトランジスタの一部の構造を断面構造とともに示す拡大斜視図である。

##### 【図2】

上記実施形態に係るトランジスタの基板表面の構成を示す平面図である。

##### 【図3】

ベース電極接続部の構成を拡大して示す平面図である。

【図 4】

上記トランジスタの電極配置を説明するための平面図である。

【図 5】

バイポーラトランジスタを用いた抵抗型負荷のためのスイッチング回路の構成例を示す電気回路図である。

上記実施形態のバイポーラトランジスタの具体的な構成例を示す平面図である。

【図 6】

バイポーラトランジスタのスイッチング特性を示す図である。

【図 7】

この発明の他の実施形態に係るトランジスタの部分拡大断面図である。

【図 8】

エミッタ領域の変形例を示す平面図である。

【図 9】

従来のバイポーラトランジスタの原理的な構成を示す断面図である。

【図 1 0】

メッシュ型エミッタ構造のバイポーラトランジスタの構造を説明するための簡略化した斜視図である。

【図 1 1】

リングエミッタ構造のバイポーラトランジスタの構造を説明するための簡略化した斜視図である。

【図 1 2】

ストライプエミッタ構造のバイポーラトランジスタの構造を説明するための簡略化した斜視図である。

【符号の説明】

- 2 1     N型半導体基板（コレクタ領域）
- 2 2     ベース領域
- 2 3     エミッタ領域

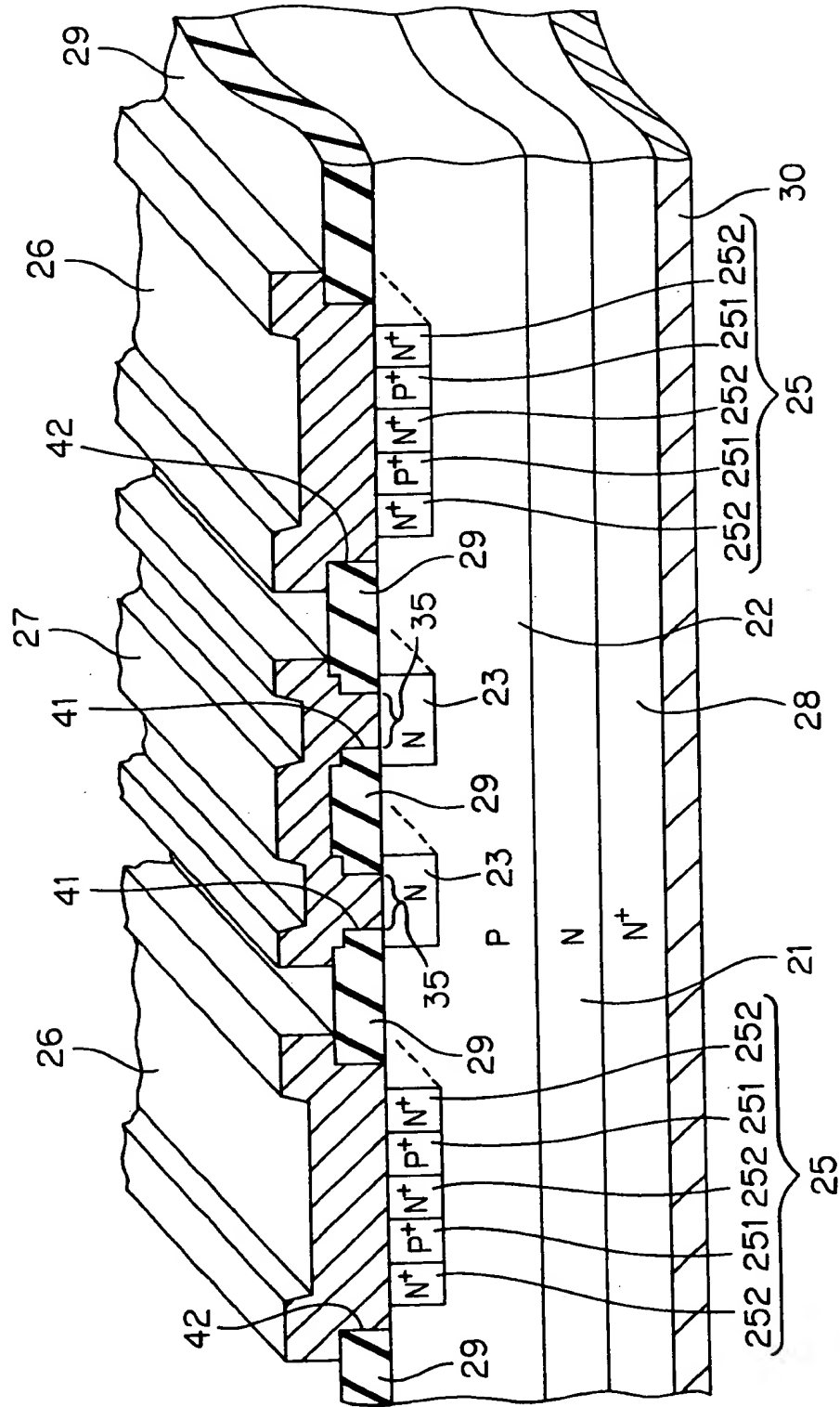
- 2 5    ベース電極接続部（ユニバーサル接合構造）
- 2 5 1     $P^+$  型領域
- 2 5 2     $N^+$  型領域
- 2 6    ベース電極
- 2 7    エミッタ電極
- 5 0    ユニバーサル接合構造部
- 5 1     $P^+$  型領域



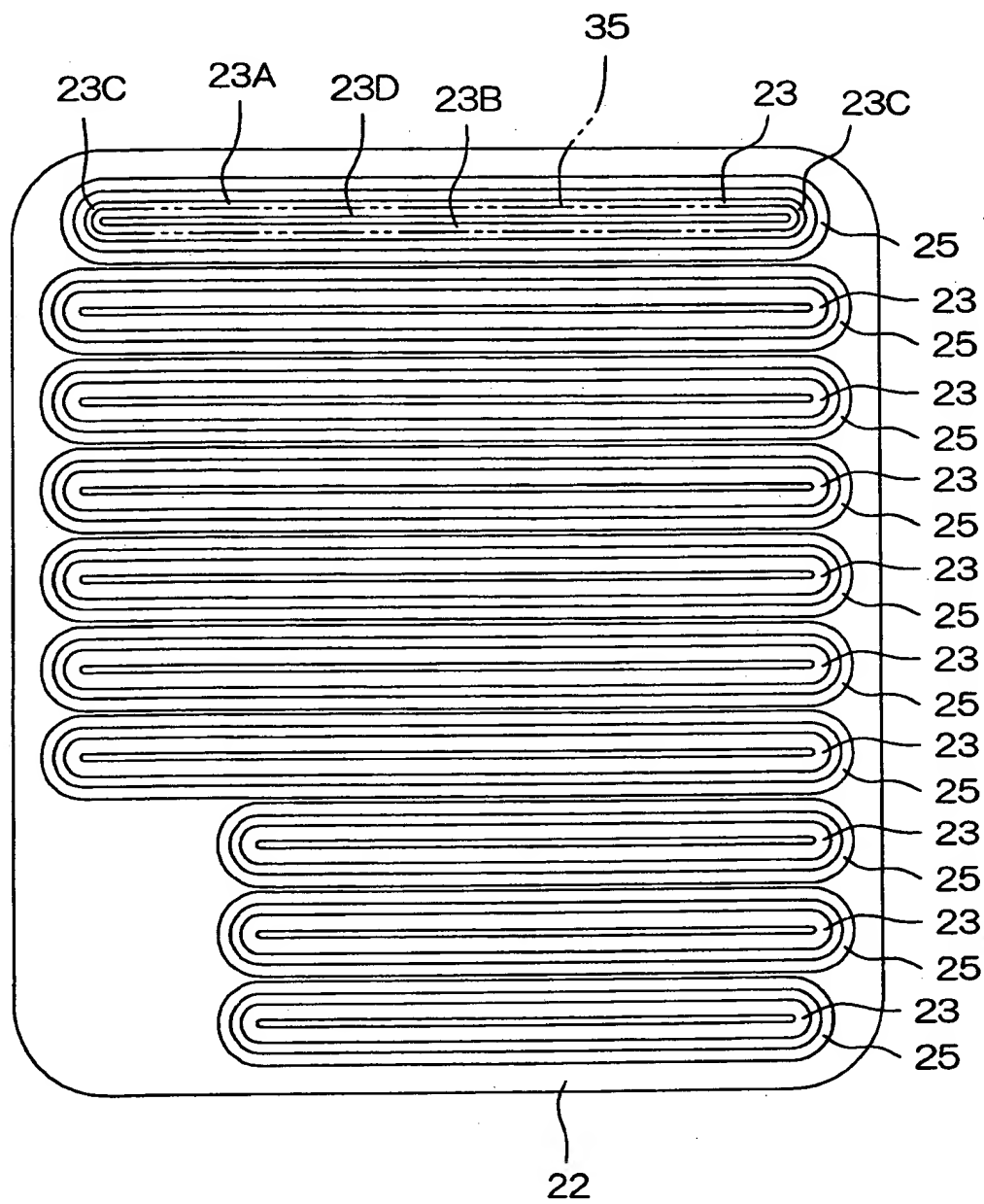
【書類名】

図面

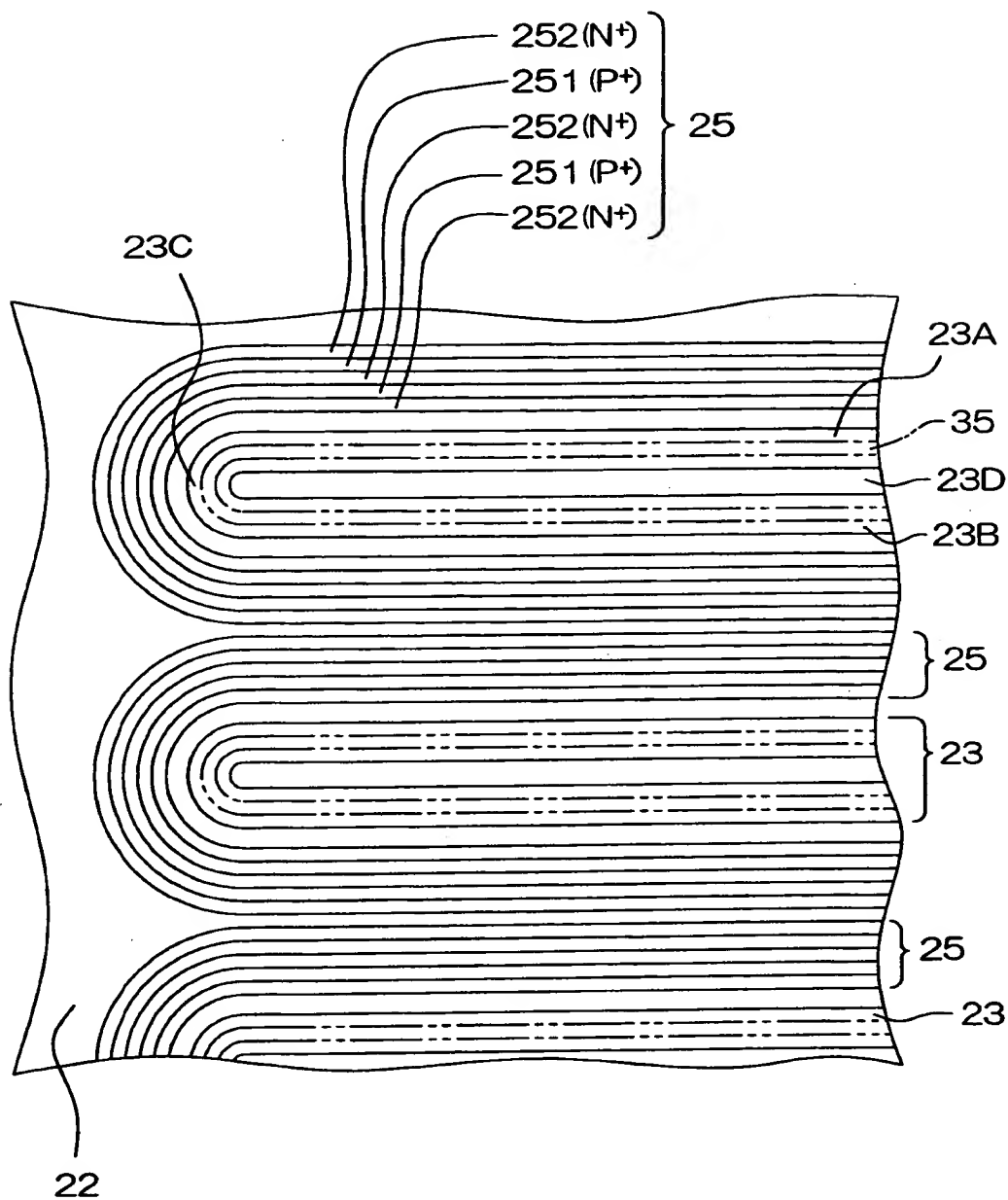
【図 1】



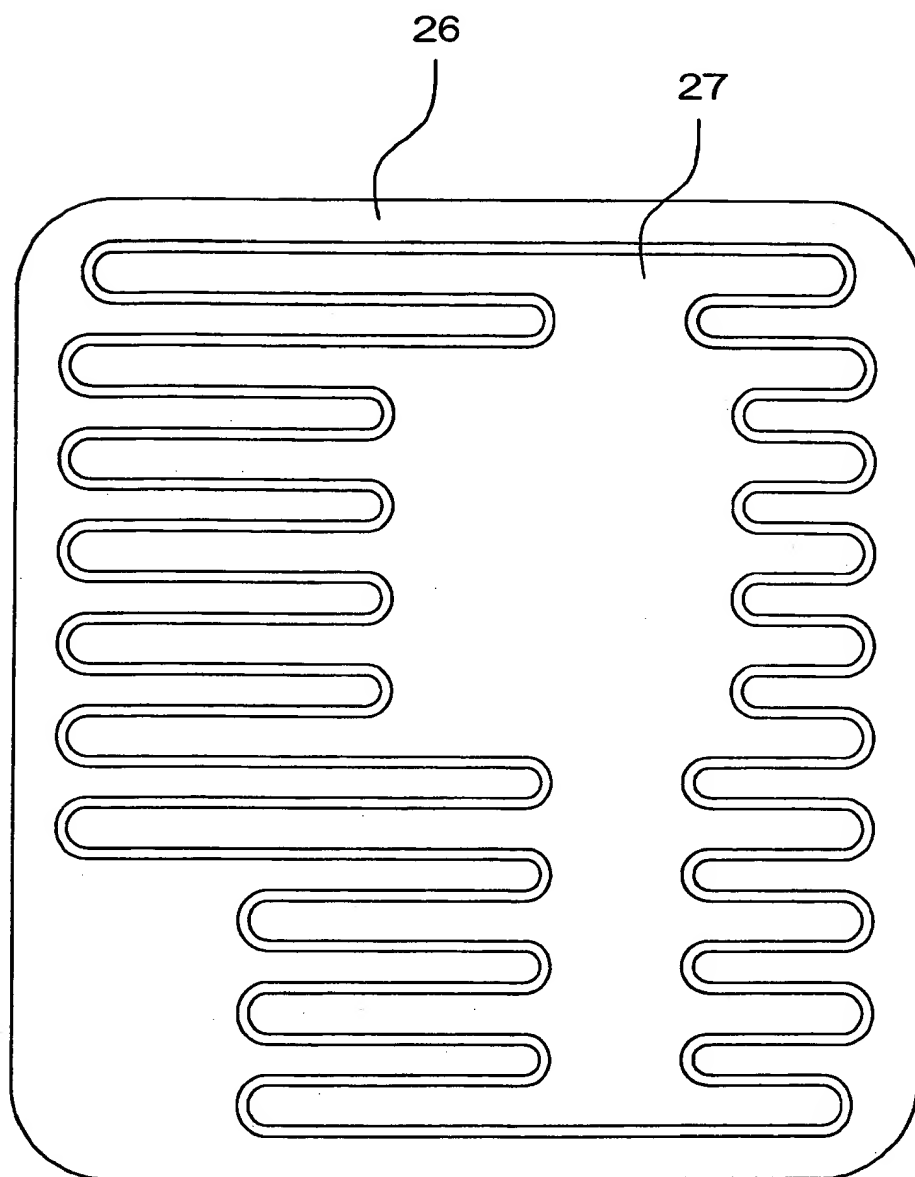
【図 2】



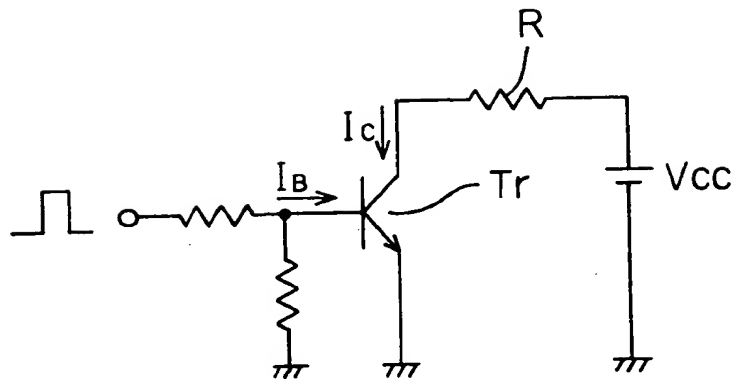
【図 3】



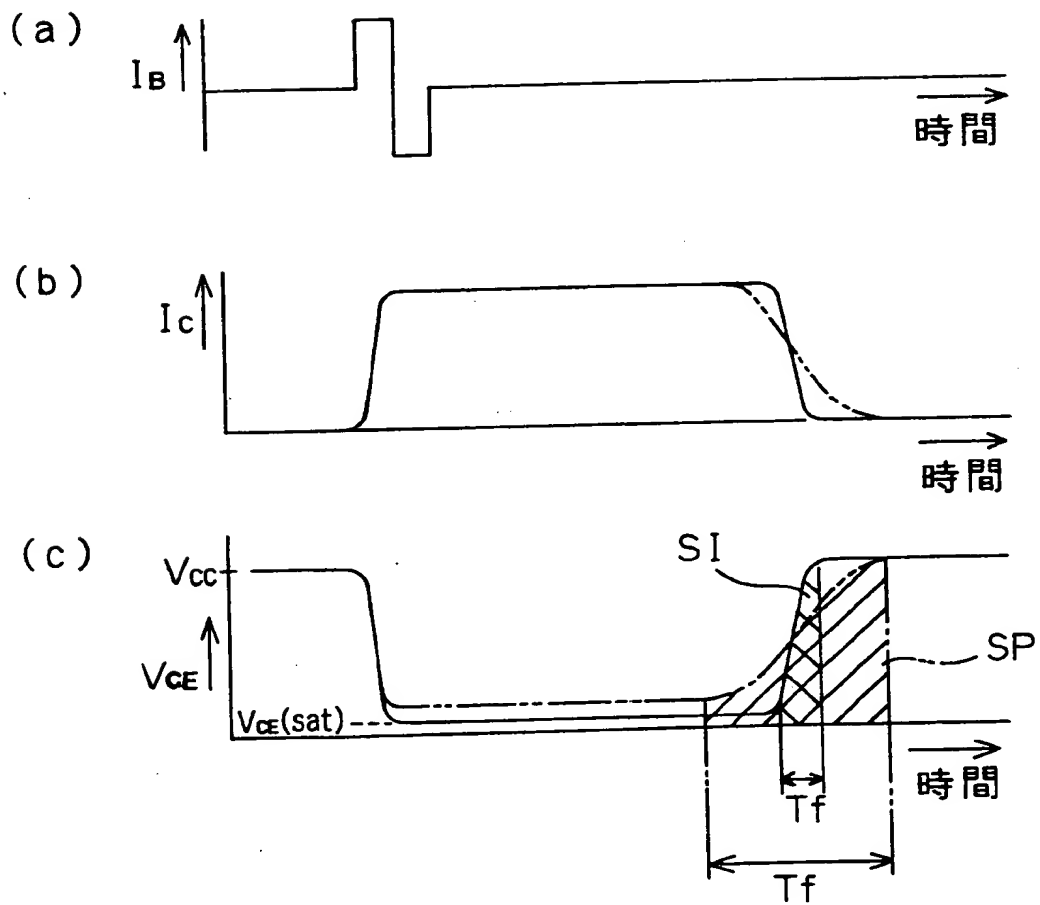
【図 4】



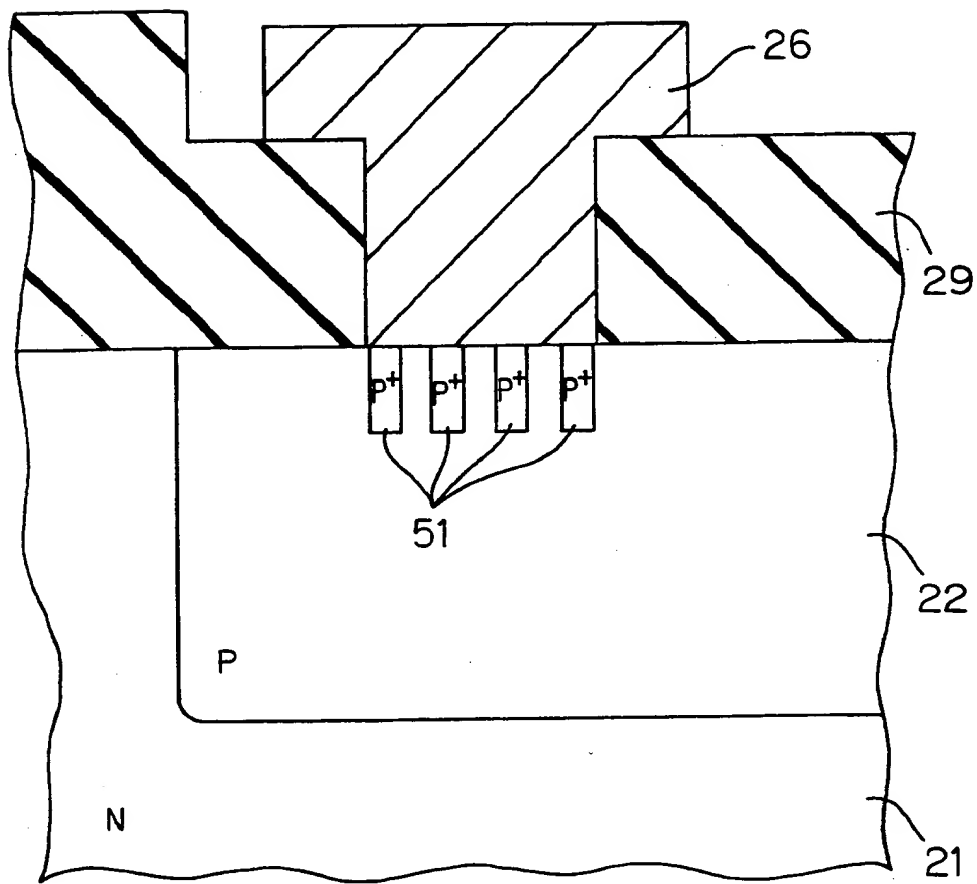
【図 5】



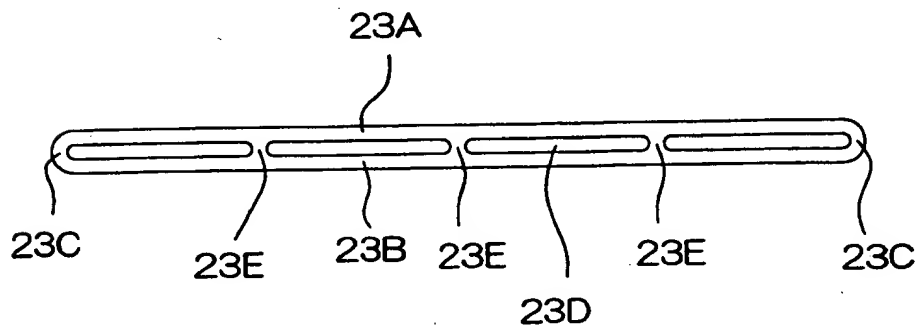
【図 6】



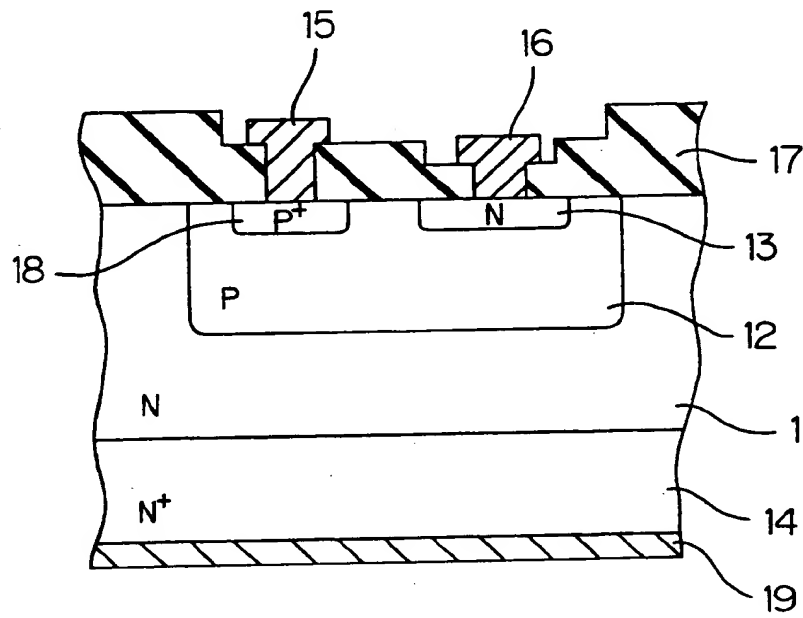
【図7】



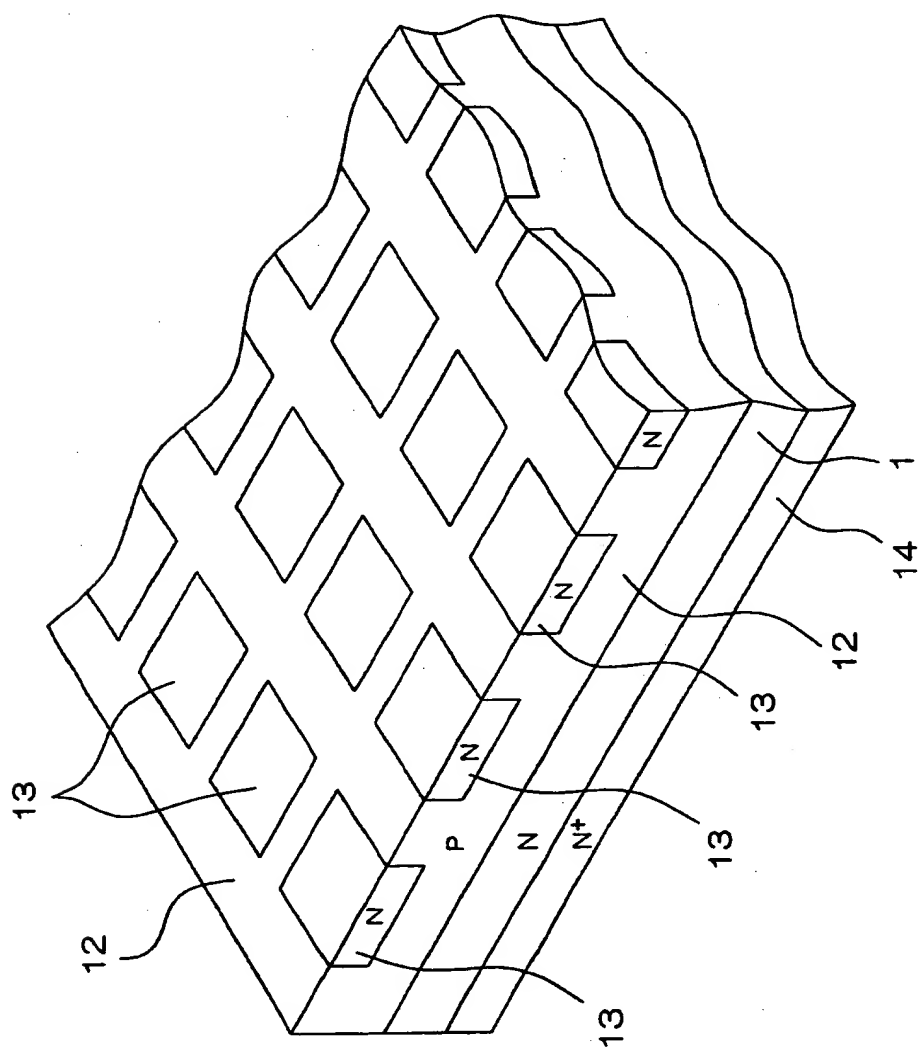
【図8】



【図9】

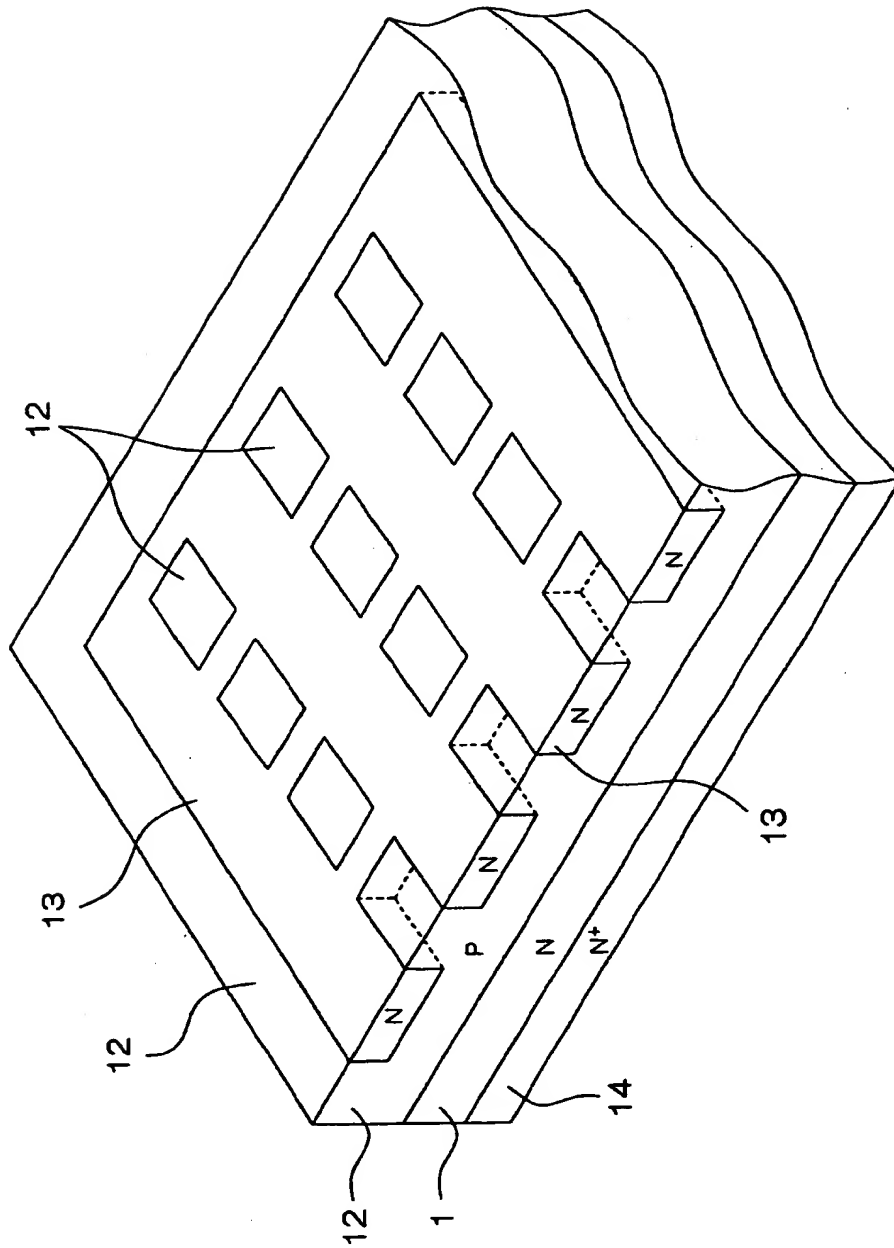


【図 1 0】

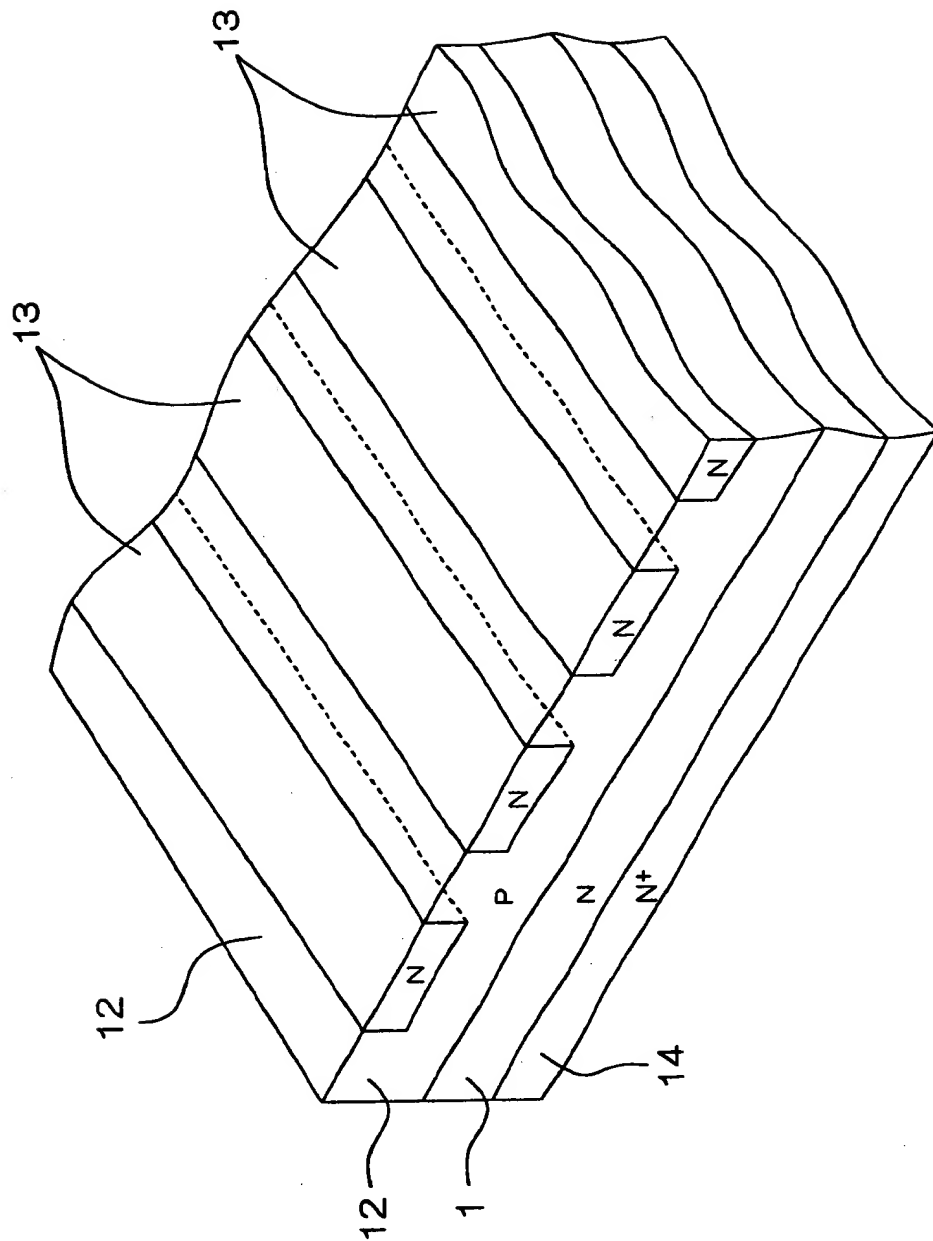




【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 トランジスタの安全動作領域を広くする。

【解決手段】 エミッタ領域 2 3 は、直線状リング形状に形成され、エミッターベース接合界面の面積が大きくとられている。また、P型ベース領域 2 2 には、ユニバーサル接合構造をなすベース電極接続部 2 5 が内蔵されている。ユニバーサル電極構造部 2 5 は、電荷の移動方向と交差する方向に沿って、 $P^+$  型領域 2 5 1 と  $N^+$  型領域 2 5 2 とを交互に配列して構成されている。これにより、ベース領域 2 2 における小数キャリア（電子）は、N型領域 2 5 2 へと引き込まれるので、ベース領域 2 2 における電子の蓄積が抑制される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000116024]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	京都府京都市右京区西院溝崎町21番地
氏 名	ローム株式会社